

(19) JAPANESE PATENT OFFICE (JP)  
(12) PATENT JOURNAL (A)  
(11) KOKAI PATENT APPLICATION NO. HEI 2 [1990]-23623

(43) Publication Date: January 25, 1990  
(54) ELECTRODE FORMATION METHOD

(72) Inventor: Koji Matsubara  
Sharp K.K.  
22-22 Nagaike-cho  
Abeno-ku, Osaka-shi  
Osaka-fu  
(72) Inventor: Yasunobu Tagusa  
Sharp K.K.  
22-22 Nagaike-cho  
Abeno-ku, Osaka-shi  
Osaka-fu  
(72) Inventor: Takashi Kinui  
Sharp K.K.  
22-22 Nagaike-cho  
Abeno-ku, Osaka-shi  
Osaka-fu  
(71) Applicant: Sharp K.K.  
22-22 Nagaike-cho  
Abeno-ku, Osaka-shi, Osaka-fu

(51) Int. Cl.<sup>5</sup>: H 01 L 21/321  
C 09 J 5/00  
H 01 L 21/60  
23/15  
H 05 K 3/24  
3/32  
H 01 L 21/92  
23/14

Patent Office File Nos.: 6824-5F  
7738-5F  
6944-4J  
6918-5F  
6736-5E  
6736-5E

(21) Application No.: Sho 63 [1988]-174218

(22) Application Date: July 12, 1988

No. of Claims: 1 (Total of 8 pages)  
Examination Request: Not requested

(74) Agent: Keiichiro Nishitaka, patent attorney, and one other

[There are no amendments to this patent.]

## CLAIM

Electrode formation method, characterized by including a process during which an adhesive layer is formed over the main body of an electrode formed on an object in advance and a process during which conductive particles having partially or fully conductive surface are adhered to said adhesive layer where said adhesive layer has tackiness in such a way that they protrude from the adhesive layer.

## DETAILED EXPLANATION OF THE INVENTION

## INDUSTRIAL FIELD OF THE APPLICATION

The present invention pertains to an electrode formation method suitable for the formation of electrodes for electrical connection of a circuit board, on which a semiconductor element is formed, with a circuit board, such as a printed board and a ceramic substrate, for example.

## PRIOR ART

Conventionally, when connecting a circuit board on which a semiconductor element is formed with another circuit board, such as a printed board, a flexible substrate, and a ceramic substrate, electrodes (will be referred to as bump electrode, hereinafter) were formed to protrude from the circuit board on which a semiconductor element is formed in order to connect electrically via said bump electrodes the circuit board on which a semiconductor element with the aforementioned circuit board of the other kind. Formation of this kind of bump electrode is achieved by means of a plating method, a vapor deposition method, or a transfer method.

The plating method refers to a method in which bump electrodes are formed on the main bodies of the electrodes by means of electroplating. In the plating method, if a lift-off method is utilized, for example, a lift-off resist is formed, a barrier metal layer is formed over the entire surface thereof to prevent metallic diffusion, and electroplating must be carried out after the resist masking is applied to the portions where plating is not needed. Thus, this kind of plating method had a problem that its operation process became unnecessarily complicated.

The vapor deposition method refers to a method in which a metallic mask having through holes created at the positions where bump electrodes are to be formed is placed on a circuit board, a metallic layer is formed under the condition by means of sputtering or electron beam vapor deposition, and the metal is used to form bump electrodes. In this vapor deposition method, it was necessary to vapor-deposit a metal used for the construction of bump electrodes via the metallic mask again after a barrier metal layer was formed. Therefore, not only the operation process became complicated, but also much materials was needed, and a precision metallic mask had to be created, resulting in an increase in terms of the cost.

In addition, in the transfer method, protrusions are created at specific positions on a temporary substrate by means of plating with gold, for example, and the temporary substrate is layered over a circuit board on which bump electrodes are to be formed and heated. As a result, the protrusions made of gold are thermally transferred onto the aforementioned circuit board to form bump electrodes.

In the case of this kind of transfer method, no metals other than gold can be used as the material for the protrusions. Therefore, an increase in cost will result. What is more, because the gold plating and the thermal transfer are subject to rigorous conditions, there is a problem that it is difficult to form bump electrodes with the desired shape.

Furthermore, all the aforementioned bump electrode formation methods intend to achieve alloy connection of the circuit board on which bump electrodes are to be formed with another circuit board. Therefore, for example, when bump electrodes are made of gold, the electrode material on the other circuit board to be connected with said gold must have affinity with gold. Thus, there is a disadvantage in that electrode material for the other circuit board is subject to restrictions. In addition, because the alloy connection is involved, there is a problem of poor connection due to the difference in the thermal expansion rates between the circuit boards to be connected.

The pressure welding method refers to a method used for electrical connection between the aforementioned protruding electrodes and the electrodes formed on the other circuit board by means of pressure welding. It has advantages in that the material of the electrode on the other circuit board described above is not only not subject to any restrictions, but also the aforementioned poor connection can be prevented, and highly reliable connection conditions can be maintained. However, connecting the bump electrodes using the pressure welding method has large practical problems in terms of precise height of the bump electrodes, flatness of the circuit boards to be connected, and strict connecting conditions. Thus, as disclosed in Japanese Kokai Patent Application No. Sho 61 [1986]-259548, a method is being considered in order to form elastic bump electrodes; wherein, a silicon rubber layer is formed on the main bodies of the bump electrodes, and a conductive layer is formed over the surface thereof.

In addition, as disclosed in Japanese Kokai Patent Application No. Sho 63[1988]-47943, a method is being considered in which after microcapsules are provided only over the connecting electrodes on the circuit board on the one side, and [the board] is aligned with the other circuit board, [the boards] are thermocompressed to be bonded to each other.

#### PROBLEMS TO BE SOLVED BY THE INVENTION

In the aforementioned method for the formation of the aforementioned elastic bump electrodes, a photoresist coating process and a masked exposure process are needed at least twice during the formation of the silicon rubber layer over the main bodies of the electrodes and during the formation of the conductive layer. In addition, problems such as the issue of the adhesiveness between the silicon rubber layer and the conductive layer remain yet to be solved,

In the case of the method utilizing microcapsules, because the bonding is achieved by means of thermocompression, when a substrate containing a liquid crystal display part having little tolerance against heat is utilized for the circuit board on the one side, for example, there are problems yet to be solved of sufficient connection due to the heat and low reliability resulting from the fact that the connections are made only at the parts where electrodes are formed.

The purpose of the present invention is to present a method for the formation of the bump electrodes for making connections by means of the pressure welding method easily, inexpensively, and highly reliably using a simple method in order to solve the aforementioned technical problems.

#### MEANS TO SOLVE THE PROBLEMS

The present invention is an electrode formation method characterized by including a process during which an adhesive layer is formed over the main body of an electrode formed on an object in advance and

a process during which conductive particles having partially or fully conductive surface are adhered onto said adhesive layer while said adhesive layer has tackiness in such a way that they protrude from the adhesive layer.

#### FUNCTION

According to the present invention, the main bodies of the electrodes are formed on the object in advance, and the adhesive layer is formed over the main bodies of the electrodes. Subsequently, conductive particles are adhered to the adhesive layer while the adhesive layer has

tackiness, and portions of the conductive particles form protrusions from the aforementioned adhesive layer. As a result, bump electrodes are formed.

Therefore, when mounting a semiconductor device onto the circuit board, for example, if the aforementioned bump electrodes are formed on said semiconductor device, the semiconductor device can be bonded highly reliably board onto the aforementioned circuit by means of pressure welding.

In addition, when performing pressure welding using the aforementioned bump electrodes, a thermosetting or a natural-setting adhesive may be used for bonding the circuit boards together in order to achieve bonding over a wide area at a low temperature. Also, because the electrical junctions are sealed by a resin, connections can be attained at even higher reliability.

#### APPLICATION EXAMPLES

Figure 1 is a cross section showing the configuration of the semiconductor device (7) of an application example of the present invention. The semiconductor device (7) is configured with inclusion of a substrate (1) as an object made of silicon, a wiring layer (2) formed on said substrate (1) and serving as the main bodies of the electrodes, a nonconductive adhesive layer (8), and conductive particles (5). The wiring layer (2) is formed selectively on one side of the substrate (1). In general, said wiring layer (2) is made of aluminum. However, 1, 2, or more layers may be coated using a metal, such as Au, Ag, Pd, Ni, Cu, Cr, Ti, W, Zn, Sn, Pb, In, Mo, or Ta, or an alloy of these metals may be used as the material in order to reduce the contact resistance.

A surface protection coating (3) is formed in the areas where the wiring layer (2) is not formed on the substrate (1). Said surface protection coating (3) is made of SiN, PSG ( $\text{SiO}_2$ ), or polyimide.

The nonconductive adhesive layer (8) is formed as an upper layer on the semiconductor device (7) as shown in Figure 1. Said adhesive layer (8) is cured using a method to be described later under the condition in which the conductive particles (5) are kept in contact with the surface of the wiring layer (2) by the one end, and the other ends are protruding from the adhesive layer (8). Various kinds of synthetic resins, such as an acrylic resin, a polyester type resin, an urethane type resin, an epoxy type resin, or a silicon type resin, may be utilized for the adhesive layer (8). Also, a metal, such as Au, Ag, Cu, C, In, Pd, Ni, Pb, or Sn, or an alloy of these metals may be used as the material for the conductive particles (5); wherein, the metal has a grain diameter of several  $\mu\text{m}$  to several 10s of  $\mu\text{m}$ . In addition, an elastic synthetic resin, such as silicon rubber and urethane rubber, coated with Au, Ni, or C, or elastic conductive particles made of a material

obtained by mixing a metal, such as Au, Ag, Cu, Ni, C, In, and Pd, or fine particles of an alloy of these metals with the aforementioned elastic synthetic resin, can be used for the aforementioned conductive particles (5).

When connecting the semiconductor device (7) to the other wired substrate by means of pressure welding, the height of the bump electrodes is prevented from becoming uneven by making the grain diameter of the conductive particles (5) uniform, and an elastic material is used for the conductive particles (5) in order to improve the reliability of the connections.

Figure 2 shows cross sections to explain the production process of the configuration shown in Figure 1. As shown in Figure 2 (1), in the substrate on which the surface protection coating (3) and the wiring layer (2) have been formed in advance, an adhesive is coated over the entire surface of said the wiring layer (2) and the surface protection coating (3) in Figure 2 by means of spin coating or roll coating in order to form an adhesive layer (8a).

Said adhesive layer (8a) is light-curable. Thus, it is also possible to irradiate an appropriate amount of UV to cure the adhesive layer (8a) in stages in this condition, so that the viscosity is increased to an improved tackiness, in order to prevent the adhesive layer (8a) from leaking out and the conductive particles from diverging during the removal of unneeded conductive particles (5), to be described later. In addition, it is also possible that after an adhesive with a high viscosity is diluted using a solvent to an appropriate viscosity and applied using the aforementioned spin coating method or the roll coating method, the solvent is evaporated for curing in stages before the conductive particles (5) are adhered. Furthermore, it is also possible that when a thermosetting adhesive is used as the material for the adhesive layer (8a), after a low-viscosity adhesive is applied using the aforementioned method, heat is applied for curing in stages to increase the viscosity before the conductive particles (5) are adhered.

An UV ray is irradiated on the substrate (1) on which the adhesive layer (8a) has been formed, in the manner indicated by the arrows 20 in Figure 2 (2) via a mask (9). The mask (9) is provided with shielding parts (9a) to shield out the UV ray and through-holes (9b) to let the UV ray pass; whereby, the through holes (9b) are aligned with the areas where the surface protection coating (3) is formed on the substrate (1) before the UV ray is irradiated. As a result, the adhesive layer (8b) in the areas where the surface protection coating (3) is formed gets cured. At this time, the adhesive layer (8a) in the areas where the wiring layer (2) is formed has tackiness. A narrow pattern of adhesive layer (8a) with tackiness can be formed in this manner.

After the narrow pattern of adhesive layer (8a) is formed, the conductive particles (5) are adhered. The condition then is shown in Figure 2 (3). The conductive particles (5) are adhered only to the portions where the adhesive layer (8a) with tackiness is formed, and unneeded conductive particles (5) attached to other areas due to static electricity are removed by means of air blow or using a brush. Therefore, the conductive particles (5) can be adhered selectively only

to the areas where the wiring layer (2) is formed. The bump electrodes are formed in this manner.

As the adhesive layer (8a) with tackiness is subsequently cured, handling the semiconductor device (7) becomes easier, and workability during the production process of the semiconductor device (7) becomes improved. In addition, as will be described later, when applying molding using an adhesive after this kind of semiconductor device (7) is connected to another circuit board, the aforementioned adhesive layer (8a) can be cured also through the same process as that of the molding adhesive.

Figure 3 is a cross section showing the configuration of the semiconductor device (6) of another application example of the present invention. Furthermore, the same symbols are used for the parts corresponding to those in the application example shown in Figure 1. In the case of the configuration shown in Figure 3, in a substrate (1) on which a wiring layer (2) and a surface protection film (3) have been formed, a conductive adhesive layer (4) is formed selectively only over the areas where the wiring layer (2) is formed by means of photolithographic etching. In this case, various kinds of synthetic resins, such as an acrylic resin, a polyester type resin, an urethane type resin, an epoxy type resin, and a silicon type resin, may be used as the material for the adhesive layer (4). Also, a light-setting, thermosetting, or natural-setting adhesive can be utilized.

If fine particles of conductive materials, such as Au, Ag, Cu, C, Pd, Ni, and In, or those of an alloy of the conductive materials are mixed as [sic; to] the adhesive layer (4) in order to add conductivity, and a light-setting or thermosetting material is used for the adhesive, the adhesive layer (4) can be cured after the conductive particles (5) are adhered, so that the workability during the production process of the semiconductor device (6) can be improved significantly. In addition, because the conductive particles (5) do not necessarily stay in contact with the wiring layer (2) by one edge, the production process can be simplified.

The semiconductor devices (6) and (7) provided with bump electrodes formed in the aforementioned manner are connected to a circuit board, such as a printed substrate, a flexible substrate, a ceramic substrate, or a glass substrate, while they are being pressed against the circuit board.

Figure 4 (1) is a cross section for explaining the condition under which the semiconductor device (6) is mounted onto a circuit board (12); Figure 4 (2) is a cross section showing an expanded view near the junction parts of Figure 4 (1). The circuit board (12) and the semiconductor devices (6) are connected while they are being pressed against each other by means of a clip (11). Accordingly, the semiconductor devices (6) is mounted onto the circuit board (12).

The surface of the semiconductor device (6) where the bump electrodes are formed by means of the aforementioned production method and the surface of the circuit board where electrodes (13) are formed are aligned at the positions at which the conductive particles (5) and the electrodes (13) come in contact by means of the clip (11), for example, and pressed against each other while they are being placed to face each other using guide (10). In this manner, the wiring layer (2) of the semiconductor device (6) and the electrodes (13) of the circuit board (12) are connected electrically via the conductive particles (5), and the semiconductor device (6) is now mounted on the circuit board (12).

Figure 5 (1) is a cross section for explaining another condition under which the semiconductor device (6) is connected to the circuit board (12); and Figure 5 (2) is a cross section showing an expanded view near the junction parts of Figure 5 (1). In the method shown in Figure 5, the surface of the semiconductor device (6) where the bump electrodes are formed and the surface of the circuit board (12) where the electrodes (13) are formed are placed to face each other and positioned in such a way that the conductive particles (5) and the electrodes (13) come in contact, and the semiconductor device (6) is pressed against the circuit board (12) via an adhesive layer (14). In this condition, the adhesive layer (14) is cured in order to mount the semiconductor device (6) onto the circuit board (12).

Although mounting of the semiconductor device (6) onto the circuit board (12) was explained using Figure 4 and Figure 5, the semiconductor device (7) shown in Figure 1 can also be mounted onto the circuit board in the same manner. In addition, a light-setting, thermosetting, or natural-setting adhesive can be utilized as the material for the adhesive layer (14) shown in Figure 5. In particular, when a light-setting adhesive is utilized, as it was described previously, it can be cured through the same processes as those for the curing of the adhesive layers (8a) and (4) explained in Figure 1 and Figure 3. Thus, those processes can be omitted.

In the present invention, bumps electrodes can be formed easily on a semiconductor device through simple processes as described above. Therefore, bump electrodes can be formed on a semiconductor device easily and inexpensively. In addition, because the bump electrodes formed in the manner can be made into a uniform height easily through the utilization of conductive particles with uniform grain diameter, the semiconductor device having this kind of bump electrode can be mounted quickly onto the circuit board (12) by means of pressure welding. In the present method, because the semiconductor device is mounted onto the circuit board by means of pressure welding, connecting reliability is not affected by the materials for the electrodes on the circuit board, and a highly reliable connection can be achieved.

Furthermore, if conductive particles (5) with elasticity were utilized, for example, said conductive particles are able to form different shapes in order to follow any warp or winding of the substrate, so that connecting reliability can be improved further.



Although the cases in which bump electrodes are formed on a substrate (1) to be used for a semiconductor device were explained in the present application examples, [the present invention] is not necessarily limited to the case in which electrodes are formed in relation to a semiconductor device. For example, the present invention may also be utilized when forming electrodes on other circuit boards.

#### EFFECT OF THE INVENTION

As it has been explained above, with the present invention, bump electrodes can be formed on the surface of an object through an extremely easy method. Thus, when connecting a substrate on which said electrodes are formed with another substrate by means of pressure welding, for example, a highly reliable connection can be achieved. Therefore, productivity can be improved, and the cost can be reduced.

#### BRIEF EXPLANATION OF THE DRAWING

Figure 1 is a cross section showing the configuration of the semiconductor device (7) of an application example of the present invention; Figure 2 shows cross sections to explain the production process of the configuration shown in Figure 1; Figure 3 is a cross section showing the configuration of the semiconductor device (6) of another application example of the present invention; Figure 4 shows cross sections to explain the condition under which the semiconductor devices (6) is mounted onto the circuit board (12); and Figure 5 shows cross sections to explain another condition under which the semiconductor device (6) is mounted onto the circuit board (12).

1 ... substrate; 2 ... wiring layer; 3 ... surface protection coating; 4, 8, 14 ... adhesive layer; 5 ... conductive particle; 6, 7 ... semiconductor device; 10 ... guide; 11 ... clip; 12 ... circuit board; and 13 ... electrode.

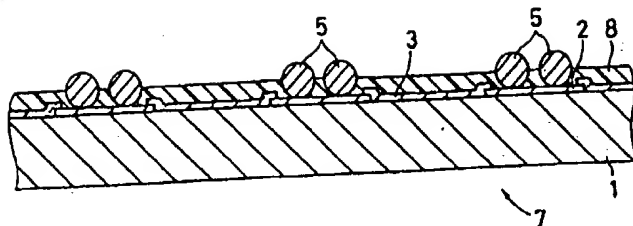


Figure 1

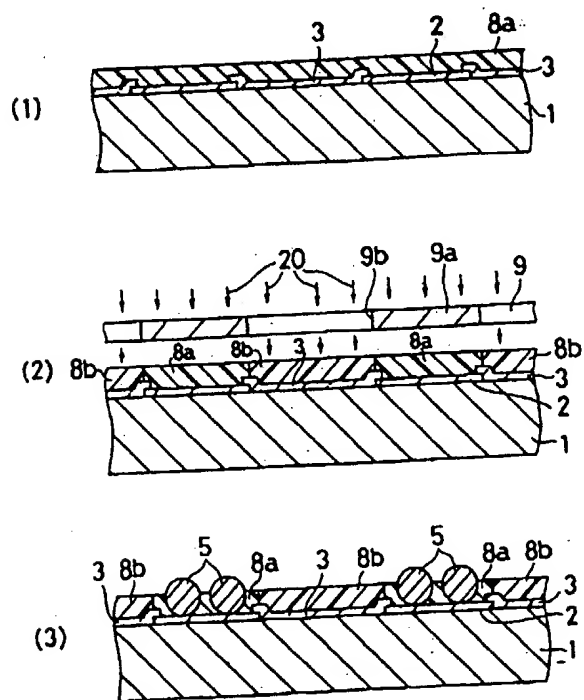


Figure 2

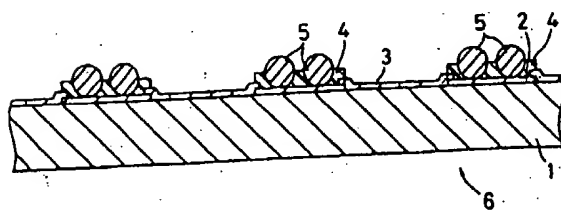


Figure 3

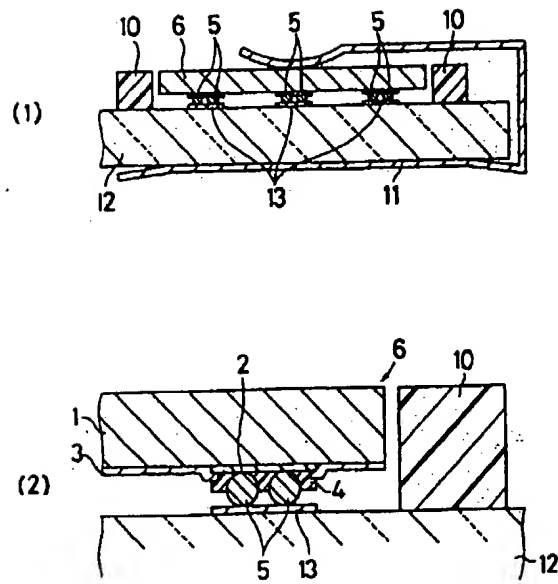


Figure 4

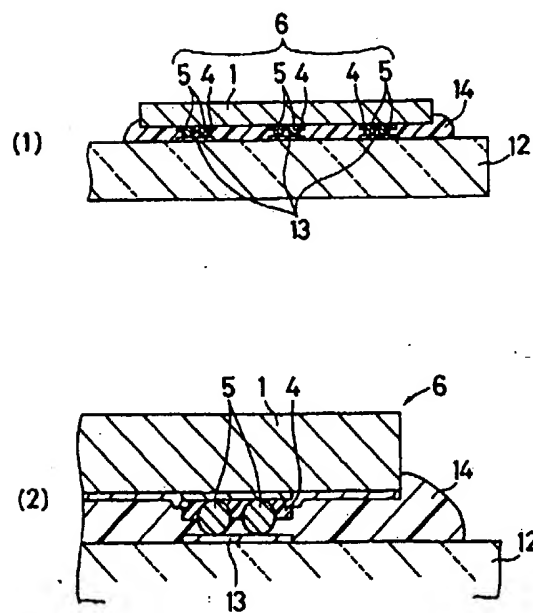
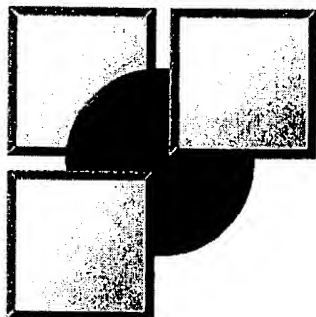


Figure 5



## RWS TRANSLATION SOLUTIONS

5316 Hwy. 290 West, 330, Austin, Texas 78735

tel: (512) 899-1881 • fax: (512) 899-1626

Email: [rws-austin@inetmail.att.net](mailto:rws-austin@inetmail.att.net)

Japanese Kokai Patent Application No. Hei 2 [1990]-23623

RWS Translation Solutions Number: 27-1293

Translated from Japanese into English

PAT-NO: JP402023623A

DOCUMENT-IDENTIFIER: JP 02023623 A

TITLE: FORMATION OF ELECTRODE

PUBN-DATE: January 25, 1990

INVENTOR-INFORMATION:

NAME

MATSUBARA, KOJI

TAKUSA, YASUNOBU

NUKUI, TAKASHI

INT-CL (IPC): H01L021/321, C09J005/00 , H01L021/60 , H01L023/15 , H05K003/24  
, H05K003/32

US-CL-CURRENT: 438/614

ABSTRACT:

PURPOSE: To form a bump electrode to the surface of a body through a simple method, and to enable connection having high reliability when a substrate is connected to another substrate through pressure welding by attaching conductive particles having conductivity onto an adhesive layer so as to be projected from the adhesive layer during a time while the adhesive layer maintains tackiness property.

CONSTITUTION: The whole surface in the upper section of the wiring layers 2 and surface protective films 3 of a substrate 1 to which the surface protective films 3 and the wiring layers 2 are shaped previously is coated with adhesives, and an adhesive layer 8a is formed. The substrate 1 to which the adhesive layer 8a is shaped is irradiated with ultraviolet rays as shown in the arrow 20 through a mask 9, and adhesive layers 8b in regions in which the surface protective films 3 are formed are cured. Conductive particles 5 are attached. The conductive particles 5 are affixed only to the sections of the adhesive layers 8a having stickiness, and unnecessary conductive particles 5 attached in other regions by static electricity, etc., are gotten rid of by an air blow or by using a brush, etc., thus forming bump electrodes.

COPYRIGHT: (C)1990,JPO&Japio

----- KWIC -----

Inventor Name ( Derived ) - INZZ (1):  
MATSUBARA, KOJI

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-23623

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月25日

H 01 L 21/321

6824-5F  
7738-5F

H 01 L 21/92  
23/14

F  
C※

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 電極の形成方法

⑯ 特 願 昭63-174218

⑰ 出 願 昭63(1988)7月12日

⑱ 発 明 者 松 原 浩 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 発 明 者 田 草 康 伸 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑳ 発 明 者 貫 井 孝 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

㉑ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉒ 代 理 人 弁理士 西教 圭一郎 外1名

最終頁に続く

#### 明 細 書

##### 1. 発明の名称

###### 電極の形成方法

##### 2. 特許請求の範囲

物体上に予め形成されている電極本体上に接着剤層を形成する工程と、

この接着剤層が粘着性を有している時間内に行われ、接着剤層から突出するように、その接着剤層に表面の一部もしくは全部が導電性を有する導電性粒子を付着させる工程とを含むことを特徴とする電極の形成方法。

##### 3. 発明の詳細な説明

###### 産業上の利用分野

本発明は、たとえば半導体素子などが形成された回路基板と、プリント基板、フレキシブル基板あるいはセラミック基板などの回路基板とを電気的に接続するための電極の形成などに好適に実施される電極の形成方法に関する。

###### 従来の技術

従来から、半導体素子などが形成された一方の

回路基板と、プリント基板、フレキシブル基板あるいはセラミック基板などの他方の回路基板とを接続する場合に、半導体素子の形成された一方の回路基板に突起した電極(以下、突起電極という)を形成し、この突起電極を介して半導体素子の形成された回路基板と前記他方の回路基板とを電気的に接続していた。このような突起電極の形成はめっき法、蒸着法あるいは転写法によって行われている。

めっき法は電極本体上に電気めっきによって突起電極を形成する方法である。めっき法においては、たとえばリフトオフ法による場合には、リフトオフ用のレジストを形成し、その上に金属の拡散を防止するために全面にバリアメタル層を形成し、さらにその上にめっき不要部をレジストでマスキングした後に電気めっきを行わなければならない。このようなめっき法においては、作業工程がむやみに複雑化するという問題があった。

蒸着法は突起電極を形成すべき位置に対応する位置に透孔が形成されたメタルマスクを回路基板



上に位置し、この状態でスパッタリングあるいはエレクトロンビーム蒸着などによって金属層を形成し、この金属によって突起電極を形成する方法である。この蒸着法では、バリアメタルを形成した後に再度メタルマスクを介して突起電極を構成する金属を蒸着することが必要である。したがって作業工程が複雑化するばかりでなく、多くの材料を必要とし、また精密なメタルマスクを作成しなければならない、コストアップを招来した。

また転写法は基板上的の所定の位置に、たとえばめっきなどによって金などの突起物を形成し、この仮基板を突起電極が形成されるべき回路基板に積層した状態で加熱する。これによって金などの突起物が前記回路基板に熱転写され、突起電極が形成される。

このような転写法においては突起物の形成材料として金以外の金属を使用することができない。したがってコストアップを招来する。しかも金をめっきするための条件および熱転写を行うための条件が厳しく、所望の形状で突起電極を形成する

ことが困難であるという問題があった。

さらに上述した突起した電極の形成方法においては、いずれも突起電極が形成される一方の回路基板と他方の回路基板との合金接続を目的としている。したがってたとえば突起電極が金である場合には、この金と接続される他方の回路基板の電極材料は金と親和性がなければならない。このため他方の回路基板の電極材料が限定されてしまうという欠点を有していた。また合金接続であるために接続される回路基板相互の熱膨張率の相違に起因する接続不良が発生するという問題があった。

圧接法は上記突出した電極と他方の回路基板に形成されている電極とを圧接によって電氣的に接続する方法で、前記他方の回路基板の電極材料が限定されず、なおかつ上述した接続不良を防止し、高信頼性の接続状態が維持できるという利点がある。しかしながらこの圧接法によって突起電極を接続する場合に、突起電極の高さの高精度な形成、接続される回路基板相互の平坦性、および厳しい接続条件などの実用上きわめて大きな問題がある。

-3-

そこで特開昭61-259548に開示されているように、弾性を有する突起電極を形成するために、突起電極本体上にシリコンゴム層を形成し、その表面に導電層を形成する方法が考えられている。

また、特開昭63-47943に開示されているように、一方の回路基板上の接続すべき電極上のみにマイクロ・カプセルを配置し、他方の回路基板と位置合せした後、加熱加圧し、接着固定する方法が考えられている。

発明が解決しようとする課題

上記弾性を有する突起電極を形成する方法においては、シリコンゴム層を電極本体上に形成する場合と導電層を形成する場合との少なくとも2回以上ホトレジストの塗布およびマスクを介する露光などの工程が必要となる。またシリコンゴム層と導電層との密着性の問題など解決すべき課題を残している。

マイクロ・カプセルを用いた方法では、加熱加圧により接着固定する為、一方の回路基板に高温

-4-

に弱い基板、たとえば液晶表示部を有する様な基板を用いる場合、加熱が制限され十分な接続ができない事、また接着部が電極部に限定されている為、信頼性が低いなど、解決すべき課題がある。

本発明の目的は、上記技術的課題を解決し、簡単な方法によって容易かつ低コストで信頼性の高い圧接法による接続のための突起した電極の形成方法を提供することである。

課題を解決するための手段

本発明は、物体上に予め形成されている電極本体上に接着剤層を形成する工程と、

この接着剤層が粘着性を有している時間内に行われ、接着剤層から突出するように、その接着剤層に表面の一部もしくは全部が導電性を有する導電性粒子を付着させる工程とを含むことを特徴とする電極の形成方法である。

作 用

本発明に従えば、物体上には予め電極本体が形成されており、この電極本体上に接着剤層が形成される。この後この接着剤層が粘着性を有してい

る時間内に導電性粒子がこの接着剤層に付着され、該導電性粒子はその一部分が前記接着剤層から突出した状態となる。これによって突起した電極が形成される。

したがって、たとえば半導体装置を回路基板上に実装する場合に、この半導体装置上に前記突起した電極を形成すれば、前記回路基板に半導体装置が圧接によって高い信頼性で接続される。

また、前記突起した電極を用いて圧接する場合に、それぞれの回路基板の接着固定に光硬化性あるいは自然硬化性の接着剤を使用することにより広い面積を低温で接着することができると同時に電気的な接続部が樹脂により封止されるので一層、高い信頼性で接続される。

#### 実施例

第1図は、本発明の一実施例の半導体装置7の構成を示す断面図である。半導体装置7は物体であるシリコンなどの基板1と、この基板1上に形成され電極本体である配線層2と、非導電性の接着剤層8と、導電性粒子5とを含んで構成される。

-7-

また導電性粒子5としてはAu、Ag、Cu、C、In、Pd、Ni、PbおよびSnのうちのいずれかの金属またはこれらの金属の合金などを材料とし、たとえば数 $\mu\text{m}$ から数十 $\mu\text{m}$ 程度の粒径の金属粒子である。また上記導電性粒子5として、たとえばシリコンゴムおよびウレタンゴムなどの弾性を有する合成樹脂をAu、NiまたはCなどで被覆したもの、もしくは前記弾性を有する合成樹脂などにAu、Ag、Cu、Ni、C、InおよびPdなどの金属またはこれらの金属の合金の微粒子を混合し、これを材料とした弾性を有する導電性粒子を使用することもできる。

半導体装置7を圧接によって他の配線基板と接続する場合には、導電性粒子5の粒径を均一にすることによって突起電極の高さのばらつきを防止し、導電性粒子5として弾性を有する材料を使用すれば、接続の信頼性が向上される。

第2図は、第1図示の構成の製造工程を説明するための断面図である。第2図(1)に示されるように、予め表面保護膜3および配線層2の形成

基板1の一方表面には選択的に配線層2が形成される。この配線層2は一般的にはアルミニウムが使用されるが、接触抵抗を低減するためにAu、Ag、Pd、Ni、Cu、Cr、Ti、W、Zn、Sn、Pb、In、MoおよびTaのうちのいずれかの金属あるいはこれらの金属の合金を材料とし、1層もしくは2層以上で被覆されるように構成することもできる。

基板1の配線層2が形成されていない領域には、表面保護膜3が形成される。この表面保護膜3はたとえばSiN、PSG(SiO<sub>2</sub>)あるいはポリイミドなどから成る。

半導体装置7のさらに第1図上層には非導電性の接着剤層8が形成されている。この接着剤層8は後述する方法によって、導電性粒子5の一端を配線層2の表面に接触し、他端を接着剤層8から突出した状態で硬化される。接着剤層8はたとえばアクリル系樹脂、ポリエステル系樹脂、ウレタン系樹脂、エポキシ系樹脂あるいはシリコン系樹脂などの各種合成樹脂を使用することができる。

-8-

されている基板1において、この配線層2および表面保護膜3の第2図上方には、たとえばスピンコートあるいはロールコートなどの方法によって接着剤が全面に塗布され、接着剤層8aが形成される。

この接着剤層8aは光硬化性を有しており、この状態で、後述する不要な導電性粒子5の除去時における接着剤層8aの流出および導電性粒子の飛散等を防止するために、全面に適度な紫外線を照射して段階的に接着剤層8aを硬化させ、粘度を増加させて粘着性を改善することもできる。また高い粘度を有する接着剤を溶剤で希釈して適当な粘度に調節し、上記スピンコートあるいはロールコートなどの方法で塗布した後、溶剤を蒸発させて段階的に硬化させてから導電性粒子5を付着させてもよい。さらに接着剤層8aの材料として熱硬化性を有している接着剤を使用する場合には低粘度の接着剤を上記方法で塗布した後に、加熱して段階的に硬化させ粘度を増大させてから導電性粒子5を付着させるようにすることもできる。

このようにして接着剤層 8 a の形成された基板 1 に対して、第 2 図 (2) に示されるように、マスク 9 を介して矢符 20 で示されるように紫外線を照射する。マスク 9 には、紫外線を遮蔽する遮蔽部 9 a と紫外線が通過する透孔 9 b とが形成されており、基板 1 の表面保護膜 3 が形成された領域と透孔 9 b とが位置合せされ、紫外線が照射される。これによって表面保護膜 3 が形成された領域の接着剤層 8 b は硬化される。このとき配線層 2 が形成されている領域の接着剤層 8 a は粘着性を有している。このようにして粘着性を有する接着剤層 8 a を微細パターンで形成することができる。

接着剤層 8 a を微細パターンで形成した後に導電性粒子 5 を付着させる。このときの状態は第 2 図 (3) に示されるとおりである。この導電性粒子 5 は粘着性を有する接着剤層 8 a の部分にのみ付着され、他の領域に静電気等で付着された不要な導電性粒子 5 はエアブローによってまたははけなどを使用して除去される。したがって配線層 2

の形成された領域にのみ選択的に導電性粒子 5 を付着することができる。このようにして突起電極が形成される。

この後粘着性を有する接着剤層 8 a を硬化させれば半導体装置 7 の取扱いが容易になり、半導体装置 7 の製造工程における操作性が向上される。また後述するようにこのような半導体装置 7 を他の回路基板と接続した後に接着剤によってモールドする場合には、モールドするための接着剤と同一工程によって前記接着剤層 8 a を硬化することもできる。

第 3 図は、本発明の他の実施例の半導体装置 6 の構成を示す断面図である。なお第 1 図示した実施例と対応する部分には同一の参照符を用いる。第 3 図示の構成においては、配線層 2 および表面保護膜 3 が形成された基板 1 において、導電性の接着剤層 4 が、配線層 2 の形成されている領域にのみボトリソグラフィなどでエッチングすることによって選択的に形成される。このような場合に接着剤層 4 の材料として、アクリル系樹脂、ポリ

エステル系樹脂、ウレタン系樹脂、エポキシ系樹脂およびシリコン系樹脂などの各種合成樹脂を使用することができ、また光硬化性、熱硬化性あるいは自然硬化性などの接着剤を用いることができる。

接着剤層 4 として、たとえば Au、Ag、Cu、C、Pd、Ni および In などの導電性材料あるいはこれらの導電性材料の合金などの微粒子を混合して導電性を付与し、接着剤として光硬化性または熱硬化性を有する材料を使用すれば、導電性粒子 5 を付着した後にこの接着剤層 4 を硬化することができ、半導体装置 6 の製造工程における操作性が格段に向上される。また導電性粒子 5 の一端部は配線層 2 に必ずしも接触している必要がなく製造工程が簡素化できる。

このようにして突起電極の形成された半導体装置 6、7 は、たとえばプリント基板、フレキシブル基板、セラミック基板あるいはガラス基板などの回路基板に圧接された状態で接続される。

第 4 図 (1) は半導体装置 6 の回路基板 12 へ

の実装状態を説明するための断面図であり、第 4 図 (2) は第 4 図 (1) の接続部付近を拡大して示す断面図である。回路基板 12 と半導体装置 6 とはクリップ 11 によって圧接された状態で接続される。これによって半導体装置 6 は回路基板 12 に実装される。

半導体装置 6 の、上述した製造方法によって突起電極が形成されている表面と回路基板の電極 13 が形成された表面とは、対向した状態で導電性粒子 5 と電極 13 とが接触する位置にガイド 10 によって位置合せされ、たとえばクリップ 11 によって加圧される。このようにして半導体装置 6 の配線層 2 と回路基板 12 の電極 13 とは導電性粒子 5 を介して電気的に接続され、半導体装置 6 が回路基板 12 に実装される。

第 5 図 (1) は、半導体装置 6 の回路基板 12 と他の接続状態を説明するための断面図であり、第 5 図 (2) は第 5 図 (1) の接続部付近を拡大して示す断面図である。第 5 図示の方法においては、半導体装置 6 の突起電極が形成された表面と

回路基板 1 2 の電極 1 3 が形成された表面とを対向し、導電性粒子 5 と電極 1 3 とが接触状態となるように位置合せして、半導体装置 6 を回路基板 1 2 に接着剤層 1 4 を介在させて加圧する。この状態において接着剤層 1 4 を硬化させることによって、半導体装置 6 が回路基板 1 2 に実装される。

第 4 図および第 5 図において半導体装置 6 が回路基板 1 2 に実装される場合について説明したけれども、第 1 図示した半導体装置 7 についても同様に回路基板に実装することができる。また第 5 図示した接着剤層 1 4 の材料としては、光硬化性、熱硬化性および自然硬化性などの接着剤を使用することができる。特に光硬化性を有する接着剤を使用した場合には、前述したように第 1 図および第 3 図において説明した接着剤層 8 a、4 の硬化と同一工程によって硬化することができ、それらの工程を簡略化することができる。

このように本実施例において、半導体装置上に突起した電極を簡単な作業工程によって容易に形成することができる。したがって簡単かつ低コス

トで半導体装置上に突起電極を形成することができる。またこのようにして形成された突起電極は均一な粒径の導電性粒子を用いることによって均一な高さに形成することが容易であるので、このような突起電極を有する半導体装置は圧接によって好適に回路基板 1 2 に実装される。本方式によれば圧接によって半導体装置を回路基板に実装する為、回路基板の電極材料によって接続の信頼性は影響されず、なおかつ高い信頼性を有する接続を行うことができる。

さらにたとえば弾性を有する導電性粒子 5 を使用すれば、基板の反り、うねりなどにこの導電性粒子が変形することによって追隨することができ接続の信頼性がより一層向上される。

本実施例においては半導体装置に使用される基板 1 上に突起電極を形成する場合について説明したけれども、半導体装置に関連して電極を形成する場合に限定する必要はなく、たとえば他の回路基板上に電極を形成する場合に本発明を実施することもできる。

-15-

#### 発明の効果

以上説明したように本発明によれば、きわめて簡単な方法で物体表面に突起した電極を形成することができる。このため、たとえばこの電極が形成された基板と他の基板とを圧接によって接続する場合に高い信頼性の接続を行うことができる。したがって生産性を向上することができ、コストを低減することができる。

#### 4、図面の簡単な説明

第 1 図は本発明の一実施例の半導体装置 7 の構成を示す断面図、第 2 図は第 1 図示の構成の製造工程を説明するための断面図、第 3 図は本発明の他の実施例の半導体装置 6 の構成を示す断面図、第 4 図は半導体装置 6 の回路基板 1 2 への実装状態を説明するための断面図、第 5 図は半導体装置 6 の回路基板 1 2 への他の実装状態を説明するための断面図である。

1 … 基板、2 … 配線層、3 … 表面保護層、4、8、1 4 … 接着剤層、5 … 導電性粒子、6、7 … 半導体装置、1 0 … ガイド、1 1 … クリップ、1

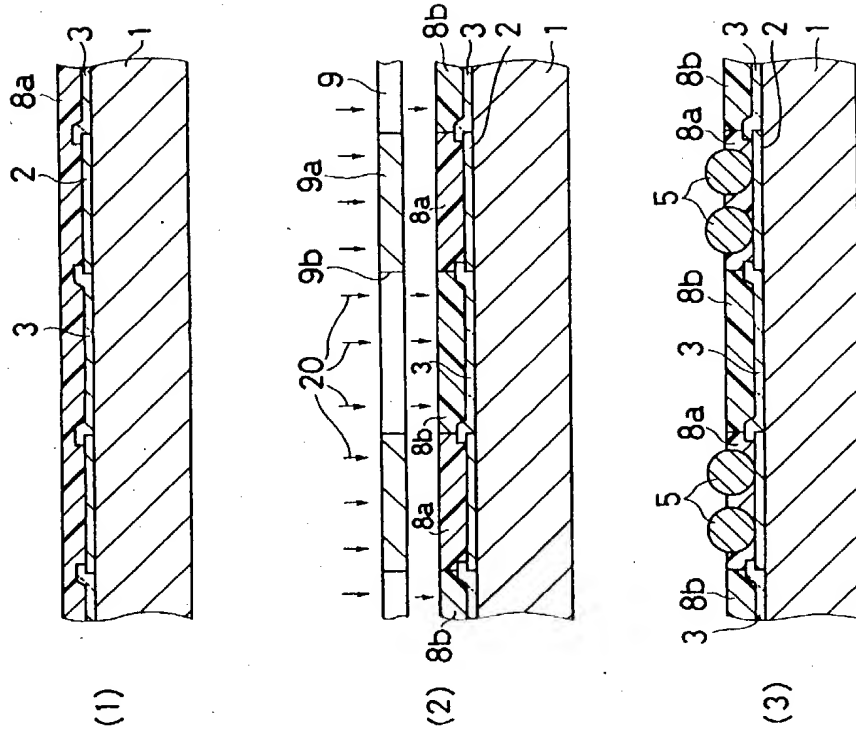
-17-

-16-

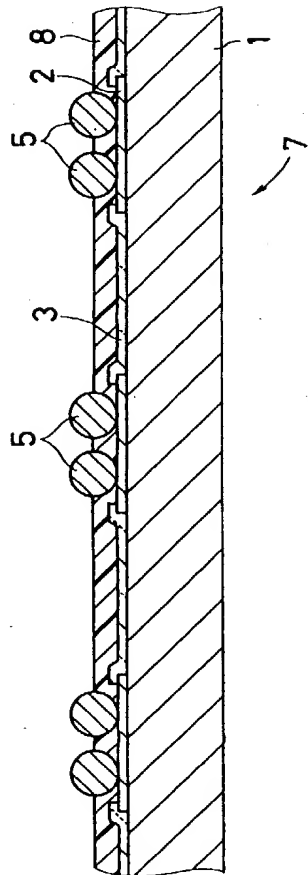
#### 2 … 回路基板、1 3 … 電極

代理人 弁理士 西教 圭一郎

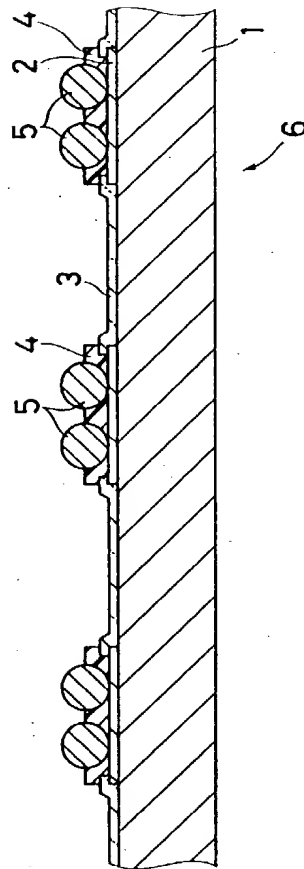
-18-



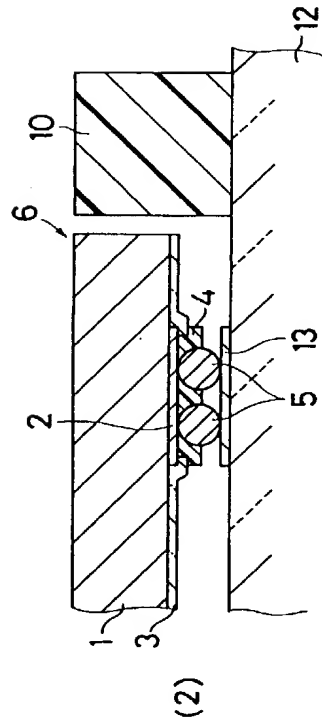
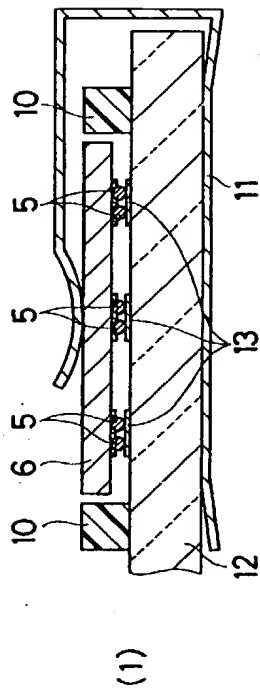
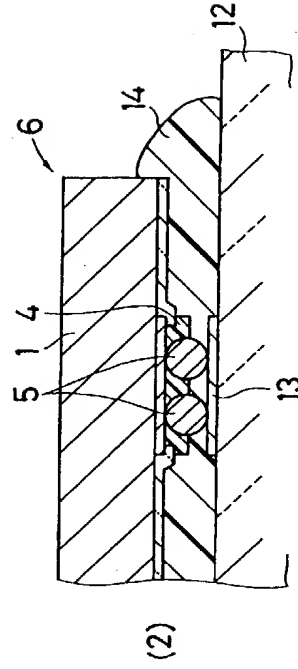
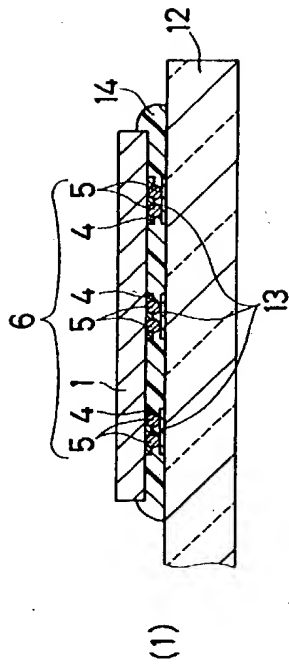
第 2 図



第 1 図



第 3 図



第 5 图

第 4 图

第1頁の続き

⑤Int. Cl.<sup>5</sup>

C 09 J 5/00  
H 01 L 21/60  
23/15  
H 05 K 3/24  
3/32

識別記号

J GW  
3 2 1 Z  
Z  
B

庁内整理番号

6944-4 J  
6918-5 F  
6736-5 E  
6736-5 E